

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/003154

International filing date: 25 February 2005 (25.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-061234
Filing date: 04 March 2004 (04.03.2004)

Date of receipt at the International Bureau: 24 March 2005 (24.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

04/8131-SNY
PCT/JP 2005/003154
03.03.2005

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 3 月 4 日
Date of Application:

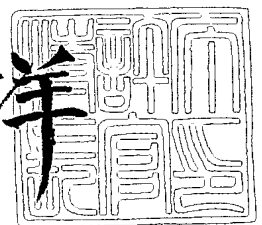
出 願 番 号 特 願 2 0 0 4 - 0 6 1 2 3 4
Application Number:
[ST. 10/C]: [J P 2 0 0 4 - 0 6 1 2 3 4]

出 願 人 ソニー株式会社
Applicant(s):

2 0 0 4 年 1 1 月 2 6 日

特許庁長官
Commissioner,
Japan Patent Office

小 川 洋



出証番号 出証特 2 0 0 4 - 3 1 0 7 9 0

【書類名】 特許願
【整理番号】 0390811704
【提出日】 平成16年 3月 4日
【あて先】 特許庁長官殿
【国際特許分類】 H03L 7/08
G01R 23/15
G11B 20/14

【発明者】
【住所又は居所】 東京都品川区北品川 6丁目 7番 35号 ソニー株式会社内
【氏名】 仙波 公正

【特許出願人】
【識別番号】 000002185
【氏名又は名称】 ソニー株式会社

【代理人】
【識別番号】 100094053
【弁理士】
【氏名又は名称】 佐藤 隆久

【手数料の表示】
【予納台帳番号】 014890
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9707389

【書類名】 特許請求の範囲**【請求項 1】**

制御信号に応じた周波数をもって発振して所定周波数のクロックを出力する発振回路と

、
上記発振回路によるクロックと入力信号の位相差を検出し、位相差データを出力する位相比較回路と、

上記位相比較回路の位相差データおよび帰還信号に基づいて上記制御信号を生成し、上記発振回路に供給する帰還回路と、

入力信号と上記発振回路のクロックの周波数を比較し、周波数誤差に応じた信号を出力する周波数比較器と、

上記周波数比較器の周波数誤差に応じた信号を積分する積分回路と、

上記積分回路の積分結果から周波数誤差の向きを判定する判定回路と、

上記判定回路の判定結果に基づいて上記帰還信号の帰還ゲインを切り替えるゲイン調整回路と

を有する位相同期回路。

【請求項 2】

上記ゲイン調整回路は、上記判定回路の判定結果の時系列パターンに基づいて上記帰還信号の帰還ゲインを切り替える

請求項 1 記載の位相同期回路。

【請求項 3】

上記積分回路の積分定数は調整可能である

請求項 1 記載の位相同期回路。

【請求項 4】

上記判定回路は、所定のしきい値に基づいて判定を行い、判定結果が当該しきい値より小さい場合には、上記ゲイン調整回路に帰還信号の出力を停止させる信号を出力する

請求項 1 記載の位相同期回路。

【請求項 5】

上記判定回路の判定しきい値は調整可能である

請求項 4 記載の位相同期回路。

【請求項 6】

上記ゲイン調整回路は、引き込み初期状態では、帰還信号を出力せず、以後、同一の判定結果を連続して入力すると、上記帰還ゲインを順次増加させる

請求項 1 記載の位相同期回路。

【請求項 7】

上記ゲイン調整回路は、引き込み途中で、誤検出により逆方向の周波数誤差が検出された判定結果を入力すると、一旦帰還ゲインをゼロとし、以後、同一の判定結果を連続して入力すると、上記帰還ゲインを順次増加させる

請求項 6 記載の位相同期回路。

【請求項 8】

制御信号に応じた周波数をもって発振し、それぞれ位相の異なる多相クロックを出力する発振回路と、

上記発振回路による多相クロックのうちの一のクロックと入力信号の位相差を検出し、位相差データを出力する位相比較回路と、

上記位相比較回路の位相差データおよび帰還信号に基づいて上記制御信号を生成し、上記発振回路に供給する帰還回路と、

入力信号のゼロクロス信号および上記発振回路の多相クロックに基づいて、上記入力信号のゼロクロスエッジから入力信号とクロックとの周波数誤差を検出し、周波数誤差に応じた信号を出力する周波数比較器と、

上記周波数比較器の周波数誤差に応じた信号を積分する積分回路と、

上記積分回路の積分結果から周波数誤差の向きを判定する判定回路と、

上記判定回路の判定結果に基づいて上記帰還信号の帰還ゲインを切り替えるゲイン調整回路と
を有する位相同期回路。

【請求項 9】

上記ゲイン調整回路は、上記判定回路の判定結果の時系列パターンに基づいて上記帰還信号の帰還ゲインを切り替える
請求項 8 記載の位相同期回路。

【請求項 10】

上記周波数比較器は、上記発振回路の多相クロックに基づいて入力信号のゼロクロス信号を取り込み、当該多相クロックのうちの上記一のクロックに同期して、入力データ信号のゼロクロスのエッジがどの位相からどの位相に変化したか観察することにより周波数が高いか低いかを周波数誤差として検出する

請求項 8 記載の位相同期回路。

【請求項 11】

上記周波数比較器は、ゼロクロスのエッジの変化を、正常動作の場合には起こりえないタイミングで検出した場合には、上記周波数誤差に応じた信号の出力を停止する

請求項 10 記載の位相同期回路。

【請求項 12】

上記積分回路の積分定数は調整可能である

請求項 8 記載の位相同期回路。

【請求項 13】

上記判定回路は、所定のしきい値に基づいて判定を行い、判定結果が当該しきい値より小さい場合には、上記ゲイン調整回路に帰還信号の出力を停止させる信号を出力する

請求項 8 記載の位相同期回路。

【請求項 14】

上記判定回路の判定しきい値は調整可能である

請求項 13 記載の位相同期回路。

【請求項 15】

上記ゲイン調整回路は、引き込み初期状態では、帰還信号を出力せず、以後、同一の判定結果を連続して入力すると、上記帰還ゲインを順次増加させる

請求項 14 記載の位相同期回路。

【請求項 16】

記録媒体から読み出した信号をクロックに基づいてサンプリングしてデジタル信号に変換し再生する情報再生回路であって、

上記クロックによるサンプリング位相を正しい状態に一致させるための位相同期回路を有し、

上記位相同期回路は、

制御信号に応じた周波数をもって発振して所定周波数のクロックを出力する発振回路と、

上記発振回路によるクロックと入力信号の位相差を検出し、位相差データを出力する位相比較回路と、

上記位相比較回路の位相差データおよび帰還信号に基づいて上記制御信号を生成し、上記発振回路に供給する帰還回路と、

入力信号と上記発振回路のクロックの周波数を比較し、周波数誤差に応じた信号を出力する周波数比較器と、

上記周波数比較器の周波数誤差に応じた信号を積分する積分回路と、

上記積分回路の積分結果から周波数誤差の向きを判定する判定回路と、

上記判定回路の判定結果に基づいて上記帰還信号の帰還ゲインを切り替えるゲイン調整回路と、を有する

情報再生装置。

【請求項 17】

上記ゲイン調整回路は、上記判定回路の判定結果の時系列パターンに基づいて上記帰還信号の帰還ゲインを切り替える

請求項 16 記載の情報再生装置。

【請求項 18】

上記判定回路は、所定のしきい値に基づいて判定を行い、判定結果が当該しきい値より小さい場合には、上記ゲイン調整回路に帰還信号の出力を停止させる信号を出力する

請求項 16 記載の情報再生装置。

【請求項 19】

上記ゲイン調整回路は、引き込み初期状態では、帰還信号を出力せず、以後、同一の判定結果を連続して入力すると、上記帰還ゲインを順次増加させる

請求項 16 記載の情報再生装置。

【請求項 20】

上記ゲイン調整回路は、引き込み途中で、誤検出により逆方向の周波数誤差が検出された判定結果を入力すると、一旦帰還ゲインをゼロとし、以後、同一の判定結果を連続して入力すると、上記帰還ゲインを順次増加させる

請求項 19 記載の情報再生装置。

【請求項 21】

記録媒体から読み出した正弦波状の信号をクロックに基づいてサンプリングしてデジタル信号に変換し再生する情報再生回路であって、

上記クロックによるサンプリング位相を正しい状態に一致させるための位相同期回路を有し、

上記位相同期回路は、

制御信号に応じた周波数をもって発振し、それぞれ位相の異なる多相クロックを出力する発振回路と、

上記発振回路による多相クロックのうちの一のクロックと入力信号の位相差を検出し、位相差データを出力する位相比較回路と、

上記位相比較回路の位相差データおよび帰還信号に基づいて上記制御信号を生成し、上記発振回路に供給する帰還回路と、

上記読み出した信号のゼロクロス信号および上記発振回路の多相クロックに基づいて、上記入力信号のゼロクロスエッジから入力信号とクロックとの周波数誤差を検出し、周波数誤差に応じた信号を出力する周波数比較器と、

上記周波数比較器の周波数誤差に応じた信号を積分する積分回路と、

上記積分回路の積分結果から周波数誤差の向きを判定する判定回路と、

上記判定回路の判定結果に基づいて上記帰還信号の帰還ゲインを切り替えるゲイン調整回路と、を有する

情報再生装置。

【請求項 22】

上記ゲイン調整回路は、上記判定回路の判定結果の時系列パターンに基づいて上記帰還信号の帰還ゲインを切り替える

請求項 21 記載の情報再生装置。

【請求項 23】

上記周波数比較器は、上記発振回路の多相クロックに基づいて入力信号のゼロクロス信号を取り込み、当該多相クロックのうちの上記一のクロックに同期して、入力データ信号のゼロクロスのエッジがどの位相からどの位相に変化したか観察することにより周波数が高いか低いかを周波数誤差として検出する

請求項 21 記載の情報再生装置。

【請求項 24】

上記周波数比較器は、ゼロクロスのエッジの変化を、正常動作の場合には起こりえないタイミングで検出した場合には、上記周波数誤差に応じた信号の出力を停止する

請求項 2 3 記載の情報再生装置。

【請求項 2 5】

上記判定回路は、所定のしきい値に基づいて判定を行い、判定結果が当該しきい値より小さい場合には、上記ゲイン調整回路に帰還信号の出力を停止させる信号を出力する

請求項 2 1 記載の情報再生装置。

【請求項 2 6】

上記ゲイン調整回路は、引き込み初期状態では、帰還信号を出力せず、以後、同一の判定結果を連続して入力すると、上記帰還ゲインを順次増加させる

請求項 2 5 記載の情報再生装置。

【書類名】明細書

【発明の名称】位相同期回路および情報再生装置

【技術分野】

【0001】

本発明は、たとえば光ディスク装置等のRF信号処理系に適用される位相同期回路（PLL: Phase Locked Loop）およびそれを備えた情報再生装置に関するものである。

【背景技術】

【0002】

一般的に、光ディスク等のデジタル記録再生装置のRF信号処理系では、データを記録再生するために位相、周波数を比較して適切なクロックを得るPLL回路が用いられている。

【0003】

光ディスクのPLL回路における周波数比較の方法として、たとえばディスク上のウォブル信号を抜き出し、この周波数にロックすることによりディスクの回転速度に同期する方法が使われている。

しかしこの方法は、たとえばウォブル信号が存在しないディスクの場合（1例としてブルーレイディスクのROM、以下BDROM）には使用することができない。

【0004】

ウォブル信号を使用しないで、記録フレーム毎に周期的に記録されているフレーム同期信号を抜き出し、この信号にロックする方法も使用されている（たとえば特許文献1参照）。

【0005】

また、ランダムなデータパターンから、周波数誤差を抽出する方法としては、電圧制御発振器（VCO）基準の多相クロックあるいは、リングVCOの多相クロックを基準にしたデータエッジの位相遷移をモニタする方法が知られている（たとえば特許文献2参照）。

【特許文献1】特開平11-232795号公報

【特許文献2】特開平11-308097号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献1に記載された方式の場合には、位相周波数比較周期がフレーム周期に依存して長くなってしまうため（BDROMの場合には1932T周期）、フレームシンク検出確立までの時間も含めると引き込みに時間がかかってしまい、高速での周波数引き込みには向かないという不利益がある。

【0007】

また、特許文献2に記載された方式では、高密度光ディスクに応用した場合には、アナログ信号の等化誤差やディスクの振動、ノイズの影響等により入力データエッジの品質が悪いため、周波数検出器の誤検出が多発し、安定した周波数引き込みを行うことができないという不利益がある。

またこの方式では、周波数検出ゲインが周波数誤差に対して比例せず、ある程度誤差が大きくなるとゲインが低下してくるため、初期周波数誤差が大きい状態でのこのような誤検出は引き込み時間を増大させ、あるいは引き込みレンジ外へ周波数が発散してしまう可能性もある。

さらに、位相モードへの切り替え時に周波数誤差は位相引き込みレンジ内にある必要があるが、周波数ループの誤検出により収束値が安定しない場合には、位相引き込みができず、データが読めなくなってしまう可能性がある。

周波数ループの安定性を確保するためにはループゲインを下げれば良いが、その場合には引き込みにかかる時間が増大してしまう。

【0008】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、周波数比較器の誤検出が発生する場合であっても、その影響を低減することができ、安定かつ高速な周波数引き込みを実現することが可能なPLL回路および情報再生装置を提供することにある。

【課題を解決するための手段】**【0009】**

上記目的を達成するため、本発明の第1の観点の位相同期回路は、制御信号に応じた周波数をもって発振して所定周波数のクロックを出力する発振回路と、上記発振回路によるクロックと入力信号の位相差を検出し、位相差データを出力する位相比較回路と、上記位相比較回路の位相差データおよび帰還信号に基づいて上記制御信号を生成し、上記発振回路に供給する帰還回路と、入力信号と上記発振回路のクロックの周波数を比較し、周波数誤差に応じた信号を出力する周波数比較器と、上記周波数比較器の周波数誤差に応じた信号を積分する積分回路と、上記積分回路の積分結果から周波数誤差の向きを判定する判定回路と、上記判定回路の判定結果に基づいて上記帰還信号の帰還ゲインを切り替えるゲイン調整回路とを有する。

【0010】

好適には、上記ゲイン調整回路は、上記判定回路の判定結果の時系列パターンに基づいて上記帰還信号の帰還ゲインを切り替える。

【0011】

好適には、上記積分回路の積分定数は調整可能である。

【0012】

好適には、上記判定回路は、所定のしきい値に基づいて判定を行い、判定結果が当該しきい値より小さい場合には、上記ゲイン調整回路に帰還信号の出力を停止させる信号を出力する。

また、好適には、上記判定回路の判定しきい値は調整可能である。

【0013】

好適には、上記ゲイン調整回路は、引き込み初期状態では、帰還信号を出力せず、以後、同一の判定結果を連続して入力すると、上記帰還ゲインを順次増加させる。

また、好適には、上記ゲイン調整回路は、引き込み途中で、誤検出により逆方向の周波数誤差が検出された判定結果を入力すると、一旦帰還ゲインをゼロとし、以後、同一の判定結果を連続して入力すると、上記帰還ゲインを順次増加させる。

【0014】

本発明の第2の観点の位相同期回路は、制御信号に応じた周波数をもって発振し、それぞれ位相の異なる多相クロックを出力する発振回路と、上記発振回路による多相クロックのうちの一のクロックと入力信号の位相差を検出し、位相差データを出力する位相比較回路と、上記位相比較回路の位相差データおよび帰還信号に基づいて上記制御信号を生成し、上記発振回路に供給する帰還回路と、入力信号のゼロクロス信号および上記発振回路の多相クロックに基づいて、上記入力信号のゼロクロスエッジから入力信号とクロックとの周波数誤差を検出し、周波数誤差に応じた信号を出力する周波数比較器と、上記周波数比較器の周波数誤差に応じた信号を積分する積分回路と、上記積分回路の積分結果から周波数誤差の向きを判定する判定回路と、上記判定回路の判定結果に基づいて上記帰還信号の帰還ゲインを切り替えるゲイン調整回路とを有する。

【0015】

好適には、上記周波数比較器は、上記発振回路の多相クロックに基づいて入力信号のゼロクロス信号を取り込み、当該多相クロックのうちの上記一のクロックに同期して、入力データ信号のゼロクロスのエッジがどの位相からどの位相に変化したか観察することにより周波数が高いか低いかを周波数誤差として検出する。

【0016】

また、好適には、上記周波数比較器は、ゼロクロスのエッジの変化を、正常動作の場合には起こりえないタイミングで検出した場合には、上記周波数誤差に応じた信号の出力を

停止する。

【0017】

本発明の第3の観点は、記録媒体から読み出した信号をクロックに基づいてサンプリングしてデジタル信号に変換し再生する情報再生回路であって、上記クロックによるサンプリング位相を正しい状態に一致させるための位相同期回路を有し、上記位相同期回路は、制御信号に応じた周波数をもって発振して所定周波数のクロックを出力する発振回路と、上記発振回路によるクロックと入力信号の位相差を検出し、位相差データを出力する位相比較回路と、上記位相比較回路の位相差データおよび帰還信号に基づいて上記制御信号を生成し、上記発振回路に供給する帰還回路と、入力信号と上記発振回路のクロックの周波数を比較し、周波数誤差に応じた信号を出力する周波数比較器と、上記周波数比較器の周波数誤差に応じた信号を積分する積分回路と、上記積分回路の積分結果から周波数誤差の向きを判定する判定回路と、上記判定回路の判定結果に基づいて上記帰還信号の帰還ゲインを切り替えるゲイン調整回路とを有する。

【0018】

本発明の第4の観点は、記録媒体から読み出した正弦波状の信号をクロックに基づいてサンプリングしてデジタル信号に変換し再生する情報再生回路であって、上記クロックによるサンプリング位相を正しい状態に一致させるための位相同期回路を有し、上記位相同期回路は、制御信号に応じた周波数をもって発振し、それぞれ位相の異なる多相クロックを出力する発振回路と、上記発振回路による多相クロックのうちの一のクロックと入力信号の位相差を検出し、位相差データを出力する位相比較回路と、上記位相比較回路の位相差データおよび帰還信号に基づいて上記制御信号を生成し、上記発振回路に供給する帰還回路と、上記読み出した信号のゼロクロス信号および上記発振回路の多相クロックに基づいて、上記入力信号のゼロクロスエッジから入力信号とクロックとの周波数誤差を検出し、周波数誤差に応じた信号を出力する周波数比較器と、上記周波数比較器の周波数誤差に応じた信号を積分する積分回路と、上記積分回路の積分結果から周波数誤差の向きを判定する判定回路と、上記判定回路の判定結果に基づいて上記帰還信号の帰還ゲインを切り替えるゲイン調整回路とを有する。

【0019】

本発明によれば、発振回路のクロックが位相比較回路および周波数比較器に供給される。

まず、周波数比較器において、入力信号と発振回路のクロックの周波数が比較され、周波数誤差に応じた信号が積分回路に出力される。

積分回路においては、周波数比較器の周波数誤差に応じた信号が積分され判定回路に供給される。判定回路においては、積分回路の積分結果から周波数誤差の向きが判定され、判定回路の判定結果に基づいて帰還信号の帰還ゲインが切り替えられる。

また、位相比較回路において、発振回路によるクロックと入力信号の位相差が検出されて、位相差データが帰還回路に出力される。

そして、位相比較回路の位相差データおよび帰還信号に基づいて制御信号が生成されて、発振回路の発振周波数が制御される。

【発明の効果】**【0020】**

本発明によれば、入力信号のたとえばゼロクロスエッジの品質が悪く、周波数比較器の誤検出が発生する場合であっても、その影響を低減することができ、その結果安定かつ高速な周波数引き込みが可能となる。

また、上記以外の周波数検出方法、たとえばデータのゼロクロス間隔を直接測定する周波数比較方式においても、誤検出の影響を低減し、安定かつ高速な周波数引き込みが可能となる利点がある。

【発明を実施するための最良の形態】**【0021】**

以下、本発明の実施形態を添付図面に関連付けて説明する。

【0022】

図1は、本発明に係るPLL回路（位相同期回路）を採用した光ディスク装置のRF信号処理系の一実施形態を示すシステム構成図である。

【0023】

本光ディスク装置10は、図1に示すように、記録媒体としての光ディスク11、光学ヘッド12、プリアンプ13、AGC (Auto Gain Control) 回路14、アナログイコライザ15、アナログデジタルコンバータ (ADC) 16、FIRフィルタ17、ビタビ復号器18、デコーダ (ECC、インタフェース (I/F) 19、エンコーダ20、レーザドライバ21、位相比較器22、VCO23、ゼロクロスコンパレータ24、周波数比較器25、積分回路26、判定回路としてのコンパレータ27、パターン検出およびゲイン調整回路28、チャージポンプ回路29、およびループフィルタ30を有している。

【0024】

これらの構成要素のうち、位相比較器22、VCO23、ゼロクロスコンパレータ24、周波数比較器25、積分回路26、判定回路としてのコンパレータ27、パターン検出およびゲイン調整回路28、チャージポンプ回路29、およびループフィルタ30により本発明のPLL回路40が構成されている。そして、チャージポンプ回路29、およびループフィルタ30により本発明の帰還回路が構成される。

以下、このPLL回路の構成要素の具体的な機能を中心に説明する。

【0025】

光ディスク装置10において、光学ヘッド12から出力されプリアンプ13で増幅された再生信号は、AGC回路14で振幅調整され、アナログイコライザ回路15に入力される。

アナログイコライザ15により等化され、高域ノイズを除去された再生信号は、ADC16およびゼロクロスコンパレータ24に入力される。

ADC16の出力は、PLL回路の位相比較器22に入力され、後述するようにPLL回路40においてVCO23をコントロールしてADC15のサンプリング位相を一致させるように制御される。

また、ADC15の出力はFIRフィルタ17に入力され、さらに高精度に等化された後、ビタビ復号器18に入力され、デコード、エラー訂正されたのち、NRZデータとして出力される。

また、NRZデータはエンコーダ20でエンコードされ、この結果に基づいて、レーザドライバ21により光学ヘッド12のレーザが駆動制御される。

【0026】

以下、PLL回路について具体的に説明する。

【0027】

位相比較器22は、ADC15によるデジタル信号の位相とVCO23の出力クロック(A)の位相を比較し、位相誤差データS22をループフィルタ30に出力する。

【0028】

VCO23は、インバータ231～233の3段リング構成になっており、ループフィルタ30で位相誤差データS22を積分して得られた制御信号S30により発振周波数が制御される。

VCO23は、3段リング構成の各段からの出力は、図2(C), (D), (E)に示すようなCLKの一周期を3分割する3相クロックA, B, Cとなっており、これら3相クロックCLKA, CLKB, CLKCは周波数比較器25に供給される。

VCO23の第1相クロック (インバータ233の出力クロック) は、ADC16、FIRフィルタ17、ビタビ復号器18、および位相比較器22に供給される。

【0029】

ゼロクロスコンパレータ24は、アナログイコライザ15による、たとえば図2(A)に示すような正弦波状のRF再生信号を受けて、ゼロクロス点に対応してレベルが変化する

る図2(B)に示すようなゼロクロス信号ZCを周波数比較器25に出力する。

【0030】

PLL回路により、ADC16のサンプリング位相を正しい状態に一致させる必要があるが、入力信号周波数とクロック周波数のずれが大きい場合(3%前後を超える場合)には位相検出器による位相引き込みは困難であるため、まず周波数ループにより周波数ずれを引き込む必要がある。

周波数比較器25は、この周波数ループの初段部に配置されている。

【0031】

周波数比較器25は、VCO23による3相クロックCLKA, CLKB, CLKCに同期してゼロクロスコンパレータ24によるゼロクロス信号ZCを取り込み、以降、たとえば第1相クロックAに同期して、入力データ信号のゼロクロスのエッジがどの位相からどの位相に変化したか観察することにより周波数が高いか低いかを周波数誤差として検出して、アップ信号UPまたはダウン信号DOWNを積分回路26に出力する。

【0032】

図3は、本実施形態に係る周波数比較器の動作イメージを示す図である。また、図4は、本実施形態に係る周波数比較器の比較論理を示す図である。

【0033】

図3に示すように、3相クロックである第1相クロックCLKA、第2相クロックCLKB、第3相クロックCLKCにより、1クロックCLK区間を3分割し、各位相区間をA、B、Cとする。

このとき、入力データ信号のゼロクロスの現在のエッジ Y_n と次のエッジ Y_{n+1} の位相の遷移から周波数誤差(の方向)を次のようにして検出する。

【0034】

クロックCLK1周期内の各位相A、B、Cに対して、エッジの遷移が順方向(A→B→C)であれば、入力信号周波数はVCO周波数よりも低いと考えられるため、ダウン信号DOWNを出力する。

エッジの遷移が逆方向(C→B→A)であれば、入力データ信号の周波数はVCO周波数よりも高いと考えられるため、アップ信号UPを出力する。

エッジの位相遷移がない場合には、誤差検出はできないため、何も出力されない。

【0035】

具体的には、図4に示すように、周波数比較器25は、エッジ Y_n が位相Aで次のエッジ Y_{n+1} が位相Aの場合には、エッジの位相遷移がなく誤差検出はできないため、アップ信号UPもダウン信号DOWNも出力しない。

エッジ Y_n が位相Aで次のエッジ Y_{n+1} が位相Bの場合には、入力データ信号の周波数はVCO周波数よりも低いと考えられるため、ダウン信号DOWNを出力する。

エッジ Y_n が位相Aで次のエッジ Y_{n+1} が位相Cの場合には、入力データ信号の周波数はVCO周波数よりも高いと考えられるため、アップ信号UPを出力する。

エッジ Y_n が位相Bで次のエッジ Y_{n+1} が位相Aの場合には、入力データ信号の周波数はVCO周波数よりも高いと考えられるため、アップ信号UPを出力する。

エッジ Y_n が位相Bで次のエッジ Y_{n+1} が位相Bの場合には、エッジの位相遷移がなく誤差検出はできないため、アップ信号UPもダウン信号DOWNも出力しない。

エッジ Y_n が位相Bで次のエッジ Y_{n+1} が位相Cの場合には、入力データ信号の周波数はVCO周波数よりも低いと考えられるため、ダウン信号DOWNを出力する。

エッジ Y_n が位相Cで次のエッジ Y_{n+1} が位相Aの場合には、入力データ信号の周波数はVCO周波数よりも低いと考えられるため、ダウン信号DOWNを出力する。

エッジ Y_n が位相Cで次のエッジ Y_{n+1} が位相Bの場合には、入力データ信号の周波数はVCO周波数よりも高いと考えられるため、アップ信号UPを出力する。

エッジ Y_n が位相Cで次のエッジ Y_{n+1} が位相Cの場合には、エッジの位相遷移がなく誤差検出はできないため、アップ信号UPもダウン信号DOWNも出力しない。

【0036】

図5は、図3の検出動作を可能にする周波数比較器のロジック回路の一例を示す回路図である。

【0037】

図5の周波数比較器25は、D型フリップフロップ201～217、排他的論理和（EXOR）ゲート218～220、負入力を含む2入力ANDゲート221、負入力を含む3入力ANDゲート222、3入力ORゲート223～225、スイッチ回路226～228、2入力ANDゲート229、3入力ANDゲート230～234、および第1相クロックCLKAを遅延等させるためのバッファ235、236を有している。

【0038】

フリップフロップ201～203はゼロクロス信号ZCの入力ZCINに対して並列に配置されている。フリップフロップ201は第1相クロックCLKAに同期してゼロクロス信号ZCをラッチし、フリップフロップ202は第2相クロックCLKBに同期してゼロクロス信号ZCをラッチし、フリップフロップ203は第3相クロックCLKCに同期してゼロクロス信号ZCをラッチする。

すなわち、フリップフロップ201～203は周波数比較器25の入力段に配置されて、VCO23の3相クロックCLKA、CLKB、CLKCに同期して、ゼロクロスコンパレータ24によるゼロクロス信号ZCをラッチする。

図2（E）～（G）にフリップフロップ201～203のQ出力をそれぞれA0、B0、C0として示している。

なお、初段以降の各フリップフロップ204～217は、第1相クロックCLKAに同期してデータの入出力を行う。

【0039】

フリップフロップ204のD入力は初段のフリップフロップ201のQ出力に接続され、フリップフロップ205のD入力は初段のフリップフロップ202のQ出力に接続され、フリップフロップ206のD入力は初段のフリップフロップ203のQ出力に接続されている。

フリップフロップ204～206は、バッファ235を介した第1相クロックCLKAに同期してそれぞれフリップフロップ201～203の出力をラッチする。

図2（H）～（J）にフリップフロップ204～206のQ出力をそれぞれA1、B1、C1として示している。

【0040】

EXOR218は、フリップフロップ204の出力A1とフリップフロップ205の出力B1との排他的論理和をとり、その結果をスイッチ226のH入力、ANDゲート221の負入力、ANDゲート222の第1負入力、およびORゲート223の第1入力に供給する。

EXOR219は、フリップフロップ205の出力B1とフリップフロップ206の出力C1との排他的論理和をとり、その結果をANDゲート221の正入力、ANDゲート222の第2負入力、およびORゲート223の第2入力に供給する。

EXOR220は、フリップフロップ206の出力B1と初段のフリップフロップ201の出力A0との排他的論理和をとり、その結果をANDゲート222の正入力、およびORゲート223の第3入力に供給する。

これら3つのEXOR218～220は今のクロックを得るために設けられており、クロックCLKA、CLKB、CLKCのいずれか一つを取り出す。

図2（K）～（M）にEXOR218～220の出力をそれぞれA2、B2、C2として示している。

EXOR218～220の出力A2、B2、C2はゼロクロスがあるときにいずれかがハイレベルとなる。この例では、EXOR220の出力C2がハイレベルとなっている。

【0041】

ANDゲート221の出力はスイッチ回路227のH入力に供給され、ANDゲート222の出力はスイッチ回路228のH入力に供給される。

ORゲート223は、EXOR218～220の出力A2, B2, C2の論理和をとり、スイッチ信号SWとしてスイッチ回路226～228に出力する。

【0042】

スイッチ回路226～228は、スイッチ信号SWがハイレベルの場合にはゼロクロス点が発出されたものとしてH入力を選択して次段の対応するフリップフロップ207～209のD入力に出力する。

スイッチ回路226～228は、スイッチ信号SWがローレベルの場合にはゼロクロス点が発出されていないものとしてL入力を選択して次段の対応するフリップフロップ207～209のQ出力をD入力に入力させるループを形成する。

図2(N)にORゲート223の出力であるスイッチ信号SWを示している。

【0043】

フリップフロップ207～209は、上述したように対応するスイッチ回路226～228の出力を、バッファ235, 236を介した第1相クロックCLKAに同期して取り込む。

フリップフロップ207～209は、ゼロクロスが発出されていない間は、スイッチ回路226～228で形成されるループによる前回ラッチしたデータを、第1相クロックCLKAに同期してラッチし続け、ゼロクロスが発出された場合に、スイッチ回路226～228を通して検出時点のデータを第1相クロックCLKAに同期してラッチする。

フリップフロップ207のQ出力は、スイッチ回路226のL入力、次段のフリップフロップ210のD入力、ANDゲート231の第1入力に、およびANDゲート234の第3入力に供給される。

フリップフロップ208のQ出力は、スイッチ回路227のL入力、次段のフリップフロップ211のD入力、ANDゲート230の第3入力、およびANDゲート233の第2入力に供給される。

フリップフロップ209のQ出力は、スイッチ回路228のL入力、次段のフリップフロップ212のD入力、ANDゲート229の第2入力、およびANDゲート232の第3入力に供給される。

図2(O)～(Q)にフリップフロップ207～209のQ出力をそれぞれA3, B3, C3として示している。

【0044】

フリップフロップ210～212は、バッファ235, 236を介した第1相クロックCLKAに同期してそれぞれフリップフロップ207～209の出力をラッチする。

フリップフロップ210の出力は、次段のフリップフロップ213のD入力、ANDゲート229の第1入力、およびANDゲート230の第1入力に供給される。

フリップフロップ211の出力は、次段のフリップフロップ214のD入力、ANDゲート231の第2入力、およびANDゲート232の第1入力に供給される。

フリップフロップ212の出力は、次段のフリップフロップ215のD入力、ANDゲート233の第1入力、およびANDゲート234の第3入力に供給される。

図2(R)～(T)にフリップフロップ210～212のQ出力をそれぞれA4, B4, C4として示している。

【0045】

フリップフロップ213～215は、バッファ235, 236を介した第1相クロックCLKAに同期してそれぞれフリップフロップ210～212の出力をラッチする。

フリップフロップ213のQ出力は、ANDゲート230の第2入力に供給されている。

フリップフロップ214のQ出力は、ANDゲート231の第3入力、およびANDゲート232の第2入力に供給される。

フリップフロップ215の出力は、ANDゲート233の第3入力、およびANDゲート234の第1入力に供給される。

【0046】

ANDゲート229は、図4の論理に基づいて、エッジ Y_n が位相Aで次のエッジ Y_{n+1} が位相Cの場合には、入力データ信号の周波数はVCO周波数よりも高いものとして、アップ信号UPを出力させるためにハイレベルの信号をORゲート224の第1入力に供給する。

ANDゲート230は、図4の論理に基づいて、前回のエッジ Y_n が位相Aで次のエッジ Y_{n+1} が位相Bの場合には、入力データ信号の周波数はVCO周波数よりも低いものとして、ダウン信号DOWNを出力させるためにハイレベルの信号をORゲート225の第1入力に供給する。

ANDゲート229および230は、エッジ Y_n が位相Aで次のエッジ Y_{n+1} が位相Aの場合には、エッジの位相遷移がなく誤差検出はできないため、アップ信号UPもダウン信号DOWNも出力しないようにローレベルの信号をそれぞれゲート224, 225に出力する。

【0047】

ANDゲート231は、図4の論理に基づいて、前回のエッジ Y_n が位相Bで次のエッジ Y_{n+1} が位相Aの場合には、入力データ信号の周波数はVCO周波数よりも高いものとして、アップ信号UPを出力させるためにハイレベルの信号をORゲート224の第2入力に供給する。

ANDゲート232は、図4の論理に基づいて、前回のエッジ Y_n が位相Bで次のエッジ Y_{n+1} が位相Cの場合には、入力データ信号の周波数はVCO周波数よりも低いものとして、ダウン信号DOWNを出力させるために、ハイレベルの信号をORゲート225の第2入力に供給する。

ANDゲート231および232は、エッジ Y_n が位相Bで次のエッジ Y_{n+1} が位相Bの場合には、エッジの位相遷移がなく誤差検出はできないため、アップ信号UPもダウン信号DOWNも出力しないようにローレベルの信号をそれぞれゲート224, 225に出力する。

【0048】

ANDゲート233は、図4の論理に基づいて、前回のエッジ Y_n が位相Cで次のエッジ Y_{n+1} が位相Bの場合には、入力データ信号の周波数はVCO周波数よりも高いものとして、アップ信号UPを出力させるためにハイレベルの信号をORゲート224の第3入力に供給する。

ANDゲート234は、図4の論理に基づいて、前回のエッジ Y_n が位相Cで次のエッジ Y_{n+1} が位相Aの場合には、入力データ信号の周波数はVCO周波数よりも低いものとして、ダウン信号DOWNを出力させるために、ハイレベルの信号をORゲート225の第3入力に供給する。

ANDゲート233および234は、エッジ Y_n が位相Cで次のエッジ Y_{n+1} が位相Cの場合には、エッジの位相遷移がなく誤差検出はできないため、アップ信号UPもダウン信号DOWNも出力しないようにローレベルの信号をそれぞれゲート224, 225に出力する。

【0049】

ORゲート224は、ANDゲート229、231、233の出力信号の論理和をとり、アップ信号UPの出力段のフリップフロップ216のD入力に供給する。
ORゲート225は、ANDゲート230、232、234の出力信号の論理和をとり、ダウン信号DWMの出力段のフリップフロップ217のD入力に供給する。
図2(U), (V)にORゲート224, 225の出力をそれぞれU0, D0として示している。

【0050】

フリップフロップ216は、バッファ235, 236を介した第1相クロックCLKAに同期してORゲート234のハイレベルまたはローレベルをとる出力U0をラッチして、Q出力からアップ信号UPを積分回路26に出力する。
フリップフロップ217は、バッファ235, 236を介した第1相クロックCLKA

に同期してORゲート235のハイレベルまたはローレベルをとる出力D0をラッチして、Q出力からダウン信号DOWNを積分回路26に出力する。

図2(W), (X)にフリップフロップ216, 217の出力であるアップ信号UPおよびダウン信号DOWNをそれぞれ示している。

【0051】

なお、フリップフロップ216, 217に供給される第1相クロックCLKAは、たとえば図5中破線で示すように分周器(たとえば2分周)237を設け、分周後の第1相クロックCLK2として、アップ信号UPおよびダウン信号DOWNをラッチし、出力するように構成することも可能である。

図2(Y)にこのクロックCLK2を示している。

バッファ235, 236を介した第1相クロックCLKAまたはさらに分周されたクロックCLK2は、図1に示すように、積分回路26の積分器261, 262、コンパレータ27、およびパターン検出およびゲイン調整回路28の動作クロックとして供給される。

【0052】

なお、図5の周波数比較器25では、フリップフロップ210~212には前回のゼロクロスがいずれの相で検出されたかを示すデータがセットされ、フリップフロップ207~209には今回(次の)のゼロクロスがいずれの相で検出されたかを示すデータがセットされることから、前回のエッジ Y_n の検出位相の情報と次のエッジ Y_{n+1} の検出位相の情報が得られていることから、相変化を検出するには、フリップフロップ213~215を必ずしも設ける必要はない。

本実施形態において、フリップフロップ213~215を設けたのは、以下の理由による。

【0053】

第1相クロックCLKAの1周期以内にゼロクロスが2度検出されることは、データの特性上ありえないことから、もし、1T内に検出位相に変化があると、ノイズ等に基づくデータを取り込んだものとして、アップ信号UPおよびダウン信号DOWNを出力させず、無視させるために設けている。

【0054】

たとえば、正常動作の場合には、前回のエッジ Y_n が位相Aで次のエッジ Y_{n+1} が位相Bの場合には、フリップフロップ210の出力A4、フリップフロップ208の出力B3がハイレベルで、かつ、1T前のデータをラッチするフリップフロップ213の出力もハイレベルであるはずであることから、ANDゲート230においては、入力データ信号の周波数はVCO周波数よりも低いものとして、ダウン信号DOWNを出力させるためにハイレベルの信号をORゲート225に供給する。

しかし、ノイズ等のために、1T内に検出位相に変化があるとフリップフロップ213の出力はローレベルであることから、ANDゲート230の出力はマスクされてローレベルに保持され、ダウン信号DOWNの出力が抑止される。

【0055】

同様に、正常動作の場合には、前回のエッジ Y_n が位相Bで次のエッジ Y_{n+1} が位相Aの場合には、フリップフロップ207の出力A3、フリップフロップ211の出力B4がハイレベルで、かつ、1T前のデータをラッチするフリップフロップ214の出力もハイレベルであるはずであることから、ANDゲート231においては、入力データ信号の周波数はVCO周波数よりも高いものとして、アップ信号UPを出力させるためにハイレベルの信号をORゲート224に供給する。

しかし、ノイズ等のために、1T内に検出位相に変化があるとフリップフロップ214の出力はローレベルであることから、ANDゲート231の出力はマスクされてローレベルに保持され、アップ信号UPの出力が抑止される。

【0056】

同様に、正常動作の場合には、前回のエッジ Y_n が位相Bで次のエッジ Y_{n+1} が位相C

の場合には、フリップフロップ209の出力C3、フリップフロップ211の出力B4がハイレベルで、かつ、1T前のデータをラッチするフリップフロップ214の出力もハイレベルであるはずであることから、ANDゲート232においては、入力データ信号の周波数はVCO周波数よりも低いものとして、ダウン信号DOWNを出力させるためにハイレベルの信号をORゲート225に供給する。

しかし、ノイズ等のために、1T内に検出位相に変化があるとフリップフロップ214の出力はローレベルであることから、ANDゲート232の出力はマスクされてローレベルに保持され、ダウン信号DOWNの出力が抑止される。

【0057】

同様に、正常動作の場合には、前回のエッジ Y_n が位相Cで次のエッジ Y_{n+1} が位相Bの場合には、フリップフロップ208の出力B3、フリップフロップ212の出力C4がハイレベルで、かつ、1T前のデータをラッチするフリップフロップ215の出力もハイレベルであるはずであることから、ANDゲート233においては、入力データ信号の周波数はVCO周波数よりも高いものとして、アップ信号UPを出力させるためにハイレベルの信号をORゲート224に供給する。

しかし、ノイズ等のために、1T内に検出位相に変化があるとフリップフロップ215の出力はローレベルであることから、ANDゲート233の出力はマスクされてローレベルに保持され、アップ信号UPの出力が抑止される。

【0058】

同様に、正常動作の場合には、前回のエッジ Y_n が位相Cで次のエッジ Y_{n+1} が位相Aの場合には、フリップフロップ207の出力A3、フリップフロップ212の出力C4がハイレベルで、かつ、1T前のデータをラッチするフリップフロップ215の出力もハイレベルであるはずであることから、ANDゲート234においては、入力データ信号の周波数はVCO周波数よりも低いものとして、ダウン信号DOWNを出力させるためにハイレベルの信号をORゲート225に供給する。

しかし、ノイズ等のために、1T内に検出位相に変化があるとフリップフロップ215の出力はローレベルであることから、ANDゲート234の出力はマスクされてローレベルに保持され、ダウン信号DOWNの出力が抑止される。

【0059】

なお、上述した周波数比較器25の周波数比較方法を高密度記録されたランダムデータパターンにおいて使用する場合、各種要因によるデータエッジのタイミング品質劣化により、正しい周波数検出がなされない場合が発生する。品質劣化要因としては次のようなものがある。

- ・ チルト（ラジアル、タンジェンシャル）による劣化、
- ・ フォーカスずれによる劣化、
- ・ ライトパワーずれによるアシンメトリ（非線形歪み）、
- ・ 球面収差による劣化、
- ・ イコライザの周波数特性に依存する等化誤差、

である。

【0060】

また、パーシャルレスポンス等化を行う場合には、必ずしもゼロクロスエッジからの周波数検出ができるとは限らないが、BDROMの場合にはチャンネル符号（1-7RLI）とPR2（1-2-1）の組み合わせにより、ゼロクロス情報を周波数検出に使用することができる。

しかしこの組み合わせでは、等化後のデータレベルは±1、±2の4値を取るため、短周期パターン（2T）の振幅がデータのエンベロープに対して小さくなり、そのため、ゼロクロスエッジの傾きが緩やかになり、回路オフセットやノイズその他の要因によるタイミング品質の劣化の要因となる。

【0061】

図6は、BDROMの場合の等化後波形の一例を示す図である。

また、図7は前記の要因により劣化した場合のゼロクロスエッジの分布の一例を示す図である。

図7において、分布の各山は2T～8Tの各パターンである。

このデータからも分かるとおり、単位時間あたりの2Tの割合は最も多く、このエッジの信号品質が周波数検出の精度に及ぼす影響は大きいと考えられる。

各データパターンの分布の広がりがあるため、 $\pm 1T$ 以上の幅を持っているためパターン毎の分離が十分にされておらず、このために誤検出が多発する。

以上のような要因により、周波数検出器の誤検出が発生した場合でも高速に周波数引き込みを行う必要がある。

【0062】

図8は、周波数比較器の出力特性を示す図である。

この方式による周波数検出においては、周波数検出ゲインが周波数誤差に対して一定になっておらず、周波数誤差7%付近をピークとする凸型になっており、周波数誤差が増大するとゲインが低下してしまう。

このようなゲインの低下を防ぎ、周波数誤差によらず安定な高速引き込みを実現する必要がある。

【0063】

そのため、まず図1にも示すとおり、周波数検出器25の出力であるアップ信号UP、およびダウン信号DOWNを積分回路26において積分する。

【0064】

積分回路26は、たとえばカウンタからなるUP用積分器261とDOWN用積分器262とを有し、周波数比較器25のアップ信号UPまたはダウン信号DOWNをレジスタ31に設定された積分値設定値に基づいて積分し、コンパレータ27に出力する。

【0065】

なお、本実施形態では、回路の簡単化のために積分器としてカウンタを使用しているが、積分器として機能すれば他の物でも良く、LPF等であってもかまわない。

【0066】

コンパレータ27は、積分回路26により積分されたアップ信号UPまたはダウン信号DOWNを受けて、レジスタ32に設定される判定閾（しきい）値に応じて周波数誤差の向きを判定し、判定結果に応じてUPM、DOWNM、NONMの3信号をパターン検出およびゲイン調整回路28に出力する。

【0067】

図9および図10の(A)～(H)は、カウンタを使用した積分器およびコンパレータの動作を示すタイミングチャートであって、図9(A)～(H)は積分設定値を8、判定しきい値を4とした場合に、コンパレータ27から信号UPMが出力される場合の動作を示し、図10(A)～(H)は積分設定値を8、判定しきい値を4とした場合に、コンパレータ27から信号NONMが出力される場合の動作を示している。

なお、カウンタの場合にはアップ信号UPまたはダウン信号DOWNのカウント値が設定値に到達した時点でコンパレータにてカウント値を比較し、信号UPMまたはDOWNMを出力し、カウンタをリセットする。

【0068】

図9(A)～(H)では、信号UPMが出力される場合を示したが、信号DOWNMについても同様の動作となる。

この例では、積分回路26のUPカウンタ261は8をカウンタし、DOWNカウンタ262は3をカウンタしている。そして、両カウント値の差5が判定しきい値4よりも大きいことから、信号UPMが出力される。

また、コンパレータ27は閾値設定機能を持っており、カウント値の差が閾値4よりも小さい場合には信号NONMを出力することにより、信頼性の低い比較結果についてはマスクすることができる。

【0069】

図10(A)～(H)は信号NONMを出力する場合である。

この例では、積分回路26のUPカウンタ261は8をカウンタし、DOWNカウンタ262は5をカウントしている。そして、両カウント値の差3が判定しきい値4よりも小さいことから、信号NONMが出力される。信頼性の低い比較結果についてはマスクしている。

【0070】

これらの機能だけでは、書き込みパターン等に依存した局所的な誤検出を防止することができない場合があるため、次のようにして積分値を増やすことなく、局所的な誤検出の影響を防止する。

コンパレータ27によるUPM、DOWNM、およびNONMの3つのエラー信号はパターン検出およびゲイン調整回路28に入力される。

【0071】

パターン検出およびゲイン調整回路28は、コンパレータ27による3信号UPM、DOWNM、およびNONMの時系列から、信号UPOUTまたはDOWNOUTをチャージポンプ回路29に出力し、あるいはなにも出力せず、また出力パルスの幅をパターンに応じて変化させる。

【0072】

図11は、パターン検出およびゲイン調整回路28の論理を示す図である。

この例では、コンパレータ27の3個前の出力、2個前の出力、1個前の出力、並びに現在のコンパレータ27の出力を時系列的に見て、出力および帰還ゲイン（パルス幅）を決定している。

【0073】

コンパレータ27の3個前の出力、2個前の出力、1個前の出力がUPM以外で、現在のコンパレータ27の出力がUPMの場合、パターン検出およびゲイン調整回路28はなにも出力せず、ゲインは0とする。

コンパレータ27の3個前の出力および2個前の出力のどちらかがUPMで、1個前の出力がUPM以外で、現在のコンパレータ27の出力がUPMの場合、パターン検出およびゲイン調整回路28は信号UPOUTを出力し、ゲインは0.25(1T)とする。

コンパレータ27の3個前の出力および2個前の出力のいずれもがUPM以外で、1個前の出力がUPMで、現在のコンパレータ27の出力がUPMの場合、パターン検出およびゲイン調整回路28は信号UPOUTを出力し、ゲインは0.25(1T)とする。

コンパレータ27の3個前の出力がUPM以外で、2個前の出力のいずれもがUPMで、1個前の出力がUPMで、現在のコンパレータ27の出力がUPMの場合、パターン検出およびゲイン調整回路28は信号UPOUTを出力し、ゲインは0.5(2T)とする。

コンパレータ27の3個前の出力、2個前の出力、1個前の出力、現在のコンパレータ27の出力が全てUPMの場合、パターン検出およびゲイン調整回路28は信号UPOUTを出力し、ゲインは1(4T)とする。

【0074】

コンパレータ27の3個前の出力、2個前の出力、1個前の出力がDOWNM以外で、現在のコンパレータ27の出力がDOWNMの場合、パターン検出およびゲイン調整回路28はなにも出力せず、ゲインは0とする。

コンパレータ27の3個前の出力および2個前の出力のどちらかがDOWNMで、1個前の出力がDOWNM以外で、現在のコンパレータ27の出力がDOWNMの場合、パターン検出およびゲイン調整回路28は信号DOWNOUTを出力し、ゲインは0.25(1T)とする。

コンパレータ27の3個前の出力および2個前の出力のいずれもがDOWNM以外で、1個前の出力がDOWNMで、現在のコンパレータ27の出力がDOWNMの場合、パターン検出およびゲイン調整回路28は信号DOWNOUTを出力し、ゲインは0.25(1T)とする。

コンパレータ 27 の 3 個前の出力が DOWNM 以外で、2 個前の出力のいずれもが DOWNM で、1 個前の出力が DOWNM で、現在のコンパレータ 27 の出力が DOWNM の場合、パターン検出およびゲイン調整回路 28 は信号 DOWNOUT を出力し、ゲインは 0.5 (2T) とする。

コンパレータ 27 の 3 個前の出力、2 個前の出力、1 個前の出力、現在のコンパレータ 27 の出力が全て DOWNM の場合、パターン検出およびゲイン調整回路 28 は信号 DOWNOUT を出力し、ゲインは 1 (4T) とする。

【0075】

また、コンパレータ 27 の 3 個前の出力、2 個前の出力、1 個前の出力が UPM, UPM 以外、DOWNM、DOWNM 以外のいずれかであり、現在のコンパレータ 27 の出力が全て NONM の場合、パターン検出およびゲイン調整回路 28 はなにも出力せず、ゲインは 0 とする。

【0076】

図 12 (A) ~ (F) は、図 11 の論理に基づくパターン検出およびゲイン調整回路 28 の引き込み初期の動作例を示すタイミングチャートである。

引き込み開始時には、過去の系列を参照できないため、1 発目の UPM または DOWNM の信号に対するフィードバックはゼロとする。

その後、同一の信号が連続して入力されると、フィードバックゲインは 0.25, 0.5, 1.0 と順次増加する。

【0077】

図 12 (A) ~ (F) の例の場合には初期に誤検出が発生した場合を想定しているが、誤検出によるコントロール電圧の変動は、このようなゲイン調整を行わない場合に比べ 1/8 に抑圧できている。実際には、誤検出により周波数誤差が拡大した場合には既に示したとおり、検出ゲインが低下してしまうため、このような誤検出による影響を抑えることが重要である。

【0078】

図 13 (A) ~ (F) は、図 11 の論理に基づくパターン検出およびゲイン調整回路 28 の引き込み途中の動作例を示すタイミングチャートである。

引き込み途中で誤検出により逆方向の周波数誤差が検出された場合には、一旦ゲインを 0 とする。その後、同一の信号が連続した場合にはフィードバックゲインを順次増加する。

図 13 (A) ~ (F) の例の場合、このようなゲイン調整を行わない場合に比べ、誤検出による周波数変動を 1/8 に抑圧できている。

【0079】

図 14 (A) ~ (F) は、図 11 の論理に基づくパターン検出およびゲイン調整回路 28 の収束時の動作例を示すタイミングチャートである。

収束時にはアップ信号 UP およびダウン信号 DOWN の積分結果の差は小さくなり、信号 UPM および DOWNM の出現確立がほぼ同一となる。

また、信号 NONM の出現確立が高くなる。

図 14 (A) ~ (F) の例の場合には検出結果が連続しないことにより、ゲインが増加せず、このようなゲイン調整を行わない場合に比べ、周波数変動を 1/4 から 1/8 に抑圧できる。

【0080】

なお、パターンによるゲイン調整方法としてはこの論理でなくても良く、モニタするパターン長、パターンのバリエーション、ゲインの可変レンジや分解能等を変更しても良い。

これらの機能により、引き込み途中での誤検出に対しては、ゲインが自動的に低下し誤検出による VCO 周波数の変動を抑圧することができる。

また、周波数引き込みが収束した場合には、平均的なフィードバックゲインは自動的に低下し誤検出による周波数変動を抑圧することが可能である。

【0081】

また、本実施形態におけるゲイン調整方法としては、高速でのゲイン切り替えが可能なため、チャージポンプ29のスイッチングパルス幅を変化させる方法を用いたが、ゲインを調整できれば他の方法でもよく、たとえば電流源の電流値を切り替えても良い。

【0082】

次に、図1の回路の動作を説明する。

【0083】

光学ヘッド12から出力されプリアンプ13で増幅された再生信号は、AGC回路14で振幅調整され、アナログイコライザ回路15に入力される。

アナログイコライザ15により等化され、高域ノイズを除去された再生信号は、ADC16およびゼロクロスコンパレータ24に入力される。

【0084】

このとき、PLL回路40によりADC16のサンプリング位相を正しい状態に一致させる必要があるが、入力信号周波数とクロック周波数のずれが大きい場合（3%前後を超える場合）には位相検出器による位相引き込みは困難であるため、まず周波数ループにより周波数ずれを引き込む。

【0085】

ゼロクロスコンパレータ24の出力は、PLL回路40の周波数比較器25に入力され、周波数誤差の方向（UPまたはDOWN）の検出に用いられる。

このアップ信号UPまたはダウン信号DOWNの出力はさらに積分回路26（積分器261、262）にて積分されたのち、コンパレータ27にて比較され、設定されたしきい値に応じて、UPM、DOWNM、NONMの3信号としてパターン検出およびゲイン調整回路28に出力される。

パターン検出およびゲイン調整回路28は、この3信号の時系列から、信号UPOUTまたはDOWNOUTを出力し、あるいはなにも出力せず、また出力パルスの幅をパターンに応じて変化させる。

【0086】

パターン検出およびゲイン調整回路28の出力は、周波数ループ用のチャージポンプ回路29にて電流に変換され、ループフィルタ30で積分される。

ループフィルタ30の出力制御信号S30によりVCO23の発振周波数がコントロールされ、入力データ信号の周波数に一致させるように動作する。

VCO23は、3段リング構成になっており、各段からの出力はCLKの一周期を3分割する3相クロックCLKA、CLKB、CLKCとなっている。この3相クロックCLKA、CLKB、CLKCが周波数比較器25に入力され、ゼロクロスコンパレータ24から出力されたゼロクロス信号ZCと比較することにより周波数検出が行われる。

【0087】

以上が周波数モードの動作であり、周波数ループの動作により入力データ信号とVCO23の発振周波数がほぼ一致すると、PLL回路40は、位相ロックモードに切り替わる。

【0088】

ADC16の出力は、PLL回路40の位相比較回路22に入力され、その位相誤差データS22はループフィルタ30で積分され、VCO23をコントロールしてADC16のサンプリング位相を一致させる。

また、ADC15の出力はFIRフィルタ17に入力され、さらに高精度に等化された後、ビタビ復号器18に入力され、デコード、エラー訂正されたのち、NRZデータとして出力される。

【0089】

以上説明したように、本実施形態によれば、VCO23による3相クロックCLKA、CLKB、CLKCに同期してゼロクロスコンパレータ24によるゼロクロス信号ZCを取り込み、以降、たとえば第1相クロックCLKAに同期して、入力データ信号のゼロク

ロスのエッジがどの位相からどの位相に変化したか観察することにより周波数が高いか低いかを周波数誤差として検出して、アップ信号UPまたはダウン信号DOWNを出力する周波数比較器25と、周波数比較器25のアップ信号UPまたはダウン信号DOWNをレジスタ31に設定された積分値設定値に基づいて積分する積分回路26と、積分回路26により積分されたアップ信号UPまたはダウン信号DOWNを受けて、レジスタ32に設定される判定閾(しきい)値に応じて周波数誤差の向きを判定し、判定結果に応じてUPM, DOWNM, NONMの3信号を出力するコンパレータ27と、コンパレータ27による3信号UPM、DOWNM、およびNONMの時系列のパターンから、信号UPOUTまたはDOWNOUTを出力するか否かおよび帰還ゲインを決定してチャージポンプ回路29に出力するパターン検出およびゲイン調整回路28とを有することから、以下の効果を得ることができる。

【0090】

すなわち、入力データとVCOの多相クロックを使用した周波数比較方法において、入力信号のゼロクロスエッジの品質が悪く、周波数比較器の誤検出が発生する場合でも、その影響を低減することができ、その結果安定かつ高速な周波数引き込みが可能となる。

また、上記以外の周波数検出方法、たとえばデータのゼロクロス間隔を直接測定する周波数比較方式においても、誤検出の影響を低減し、安定かつ高速な周波数引き込みが可能となる。

【図面の簡単な説明】

【0091】

【図1】本発明に係るPLL回路を採用した光ディスク装置のRF信号処理系の一実施形態を示すシステム構成図である。

【図2】本実施形態に係るPLL回路における入力データ信号、ゼロクロス信号、3相クロック、および周波数比較器の各部の波形を示すタイミングチャートである。

【図3】本実施形態に係る周波数比較器の動作イメージを示す図である。

【図4】本実施形態に係る周波数比較器の比較論理を示す図である。

【図5】図3の検出動作を可能にする周波数比較器のロジック回路の一例を示す回路図である。

【図6】高密度光ディスクにおける読み出しデータの等化後波形の一例を示す図である。

【図7】高密度光ディスクにおけるデータゼロクロスタイミングの分布例を示す図である。

【図8】周波数比較器の出力特性(検出ゲイン)を示す図である。

【図9】カウンタを使用した積分器およびコンパレータの動作を示すタイミングチャートであって、積分設定値を8、判定しきい値を4とした場合に、コンパレータから信号UPMが出力される場合の動作例を示す図である。

【図10】カウンタを使用した積分器およびコンパレータの動作を示すタイミングチャートであって、積分設定値を8、判定しきい値を4とした場合に、コンパレータから信号NONMが出力される場合の動作例を示す図である。

【図11】本実施形態に係るパターン検出およびゲイン調整回路の論理を示す図である。

【図12】パターン検出およびゲイン調整回路の周波数引き込み初期の動作を示すタイミングチャートである。

【図13】パターン検出およびゲイン調整回路の周波数引き込み途中の動作を示すタイミングチャートである。

【図14】パターン検出およびゲイン調整回路の収束時の動作を示すタイミングチャートである。

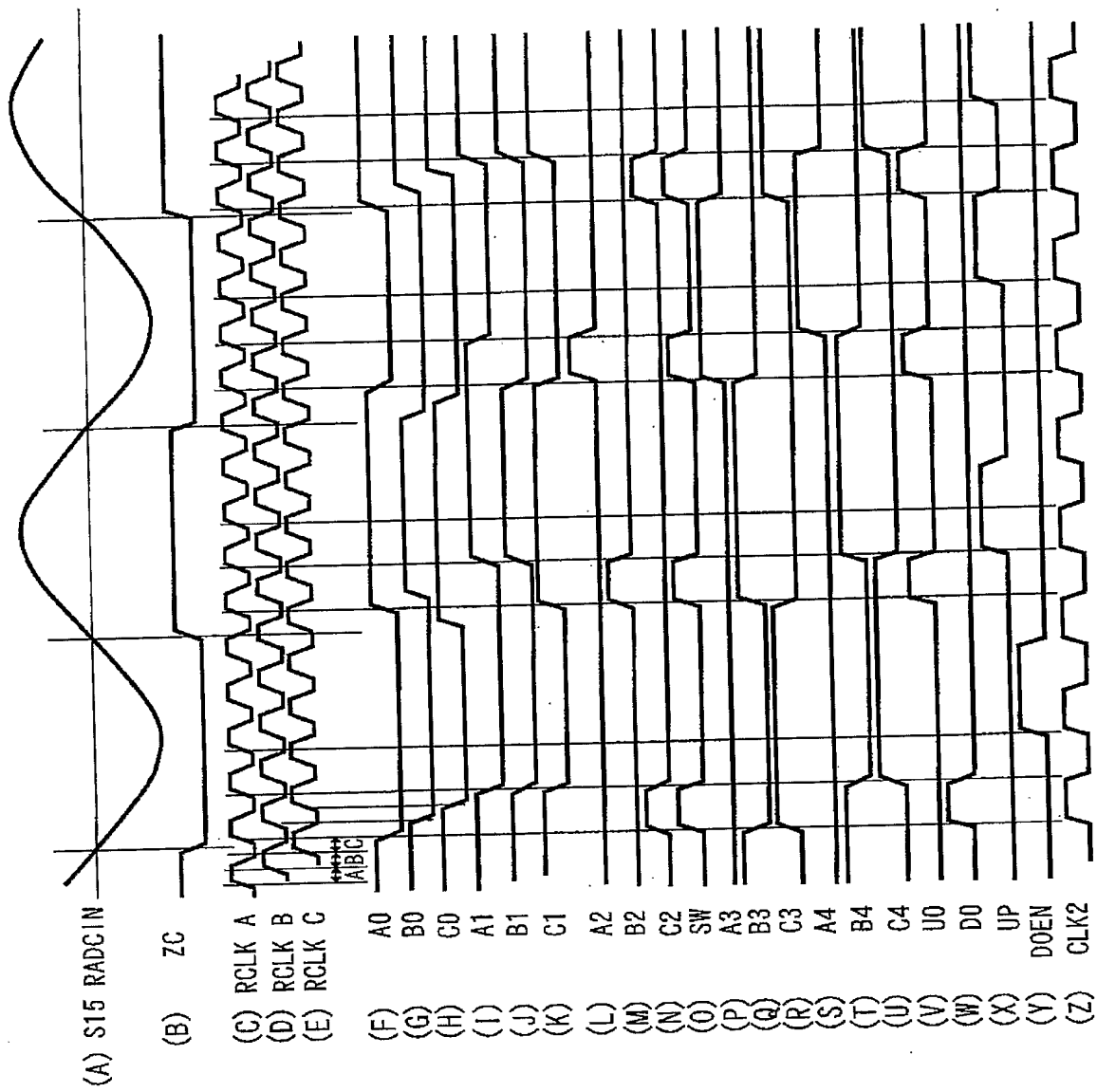
【符号の説明】

【0092】

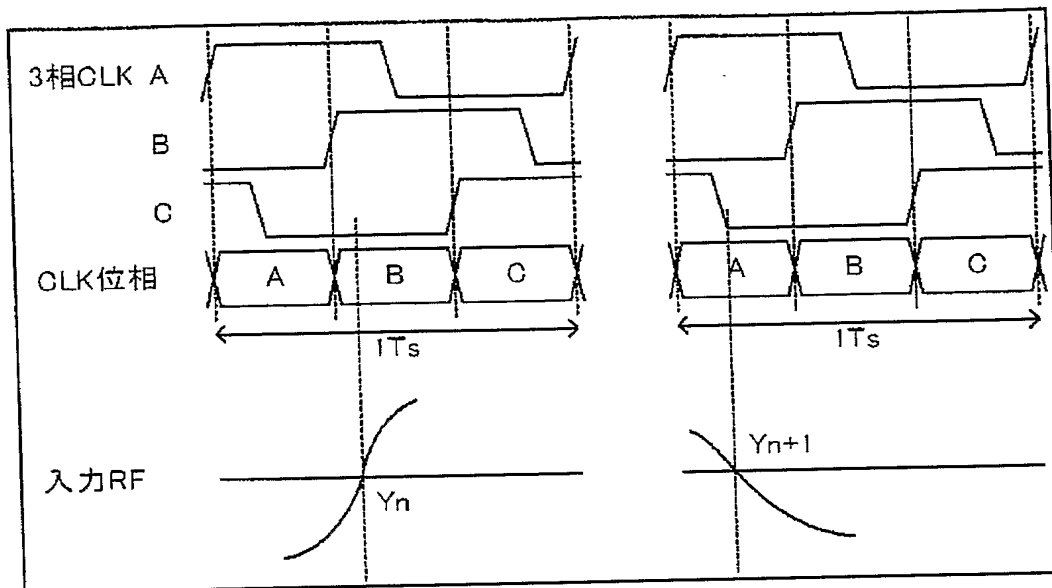
10…光ディスク、11…光ディスク、12…光学ヘッド、13…プリアンプ、14…

AGC回路、15…アナログイコライザ、16、アナログデジタルコンバータ（ADC）、17…FIRフィルタ、18…ビタビ復号器、19…デコーダ（ECC、インタフェース（I/F））、20…エンコーダ、21…レーザドライバ、22…位相比較器、23…VCO、24…ゼロクロスコンパレータ、25…周波数比較器、26…積分回路、27…判定回路としてのコンパレータ、28…パターン検出およびゲイン調整回路、29…チャージポンプ回路、30…ループフィルタ、40…PLL回路。

【図 2】



【図 3】



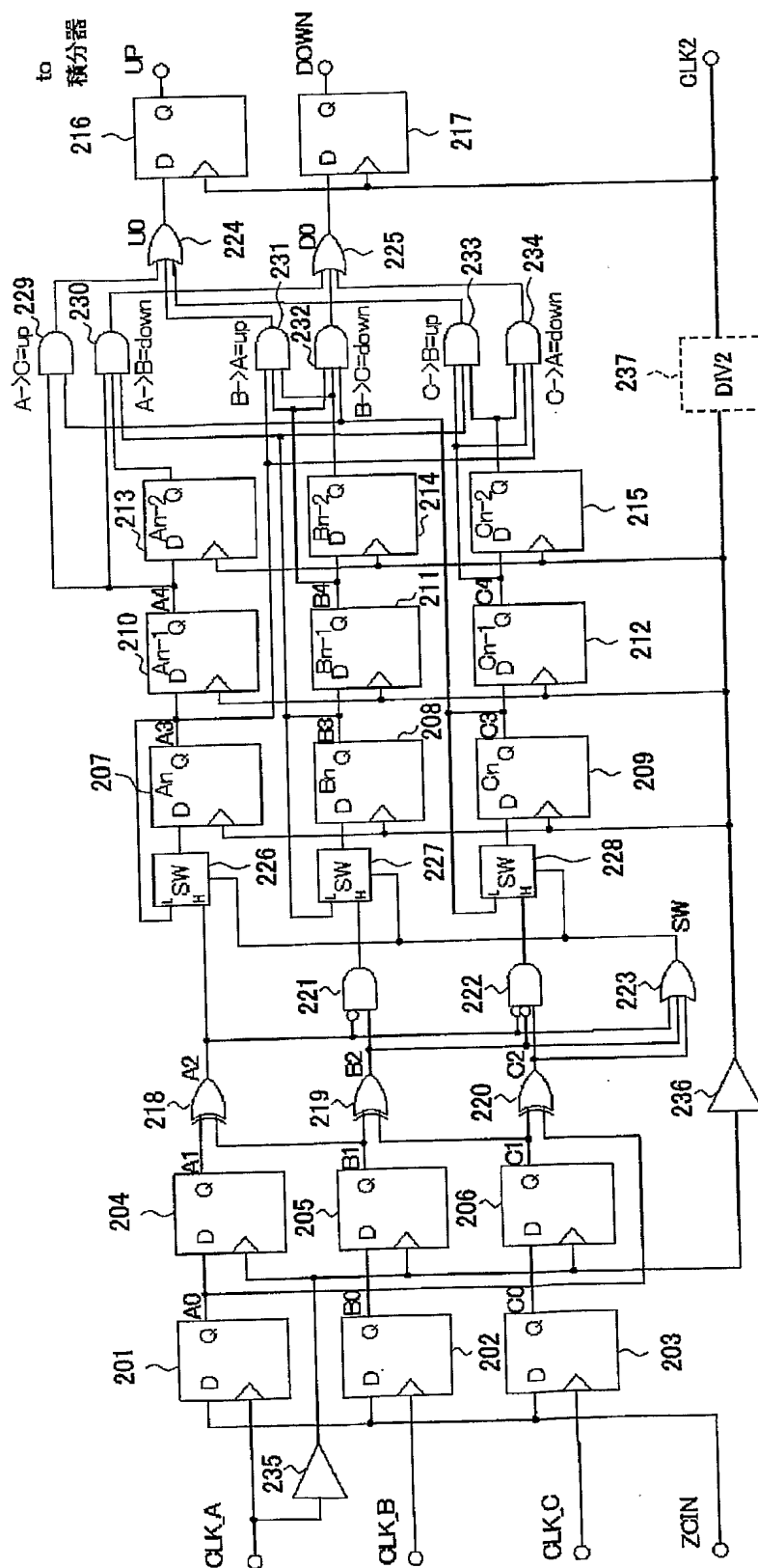
【図 4】

周波数比較器論理

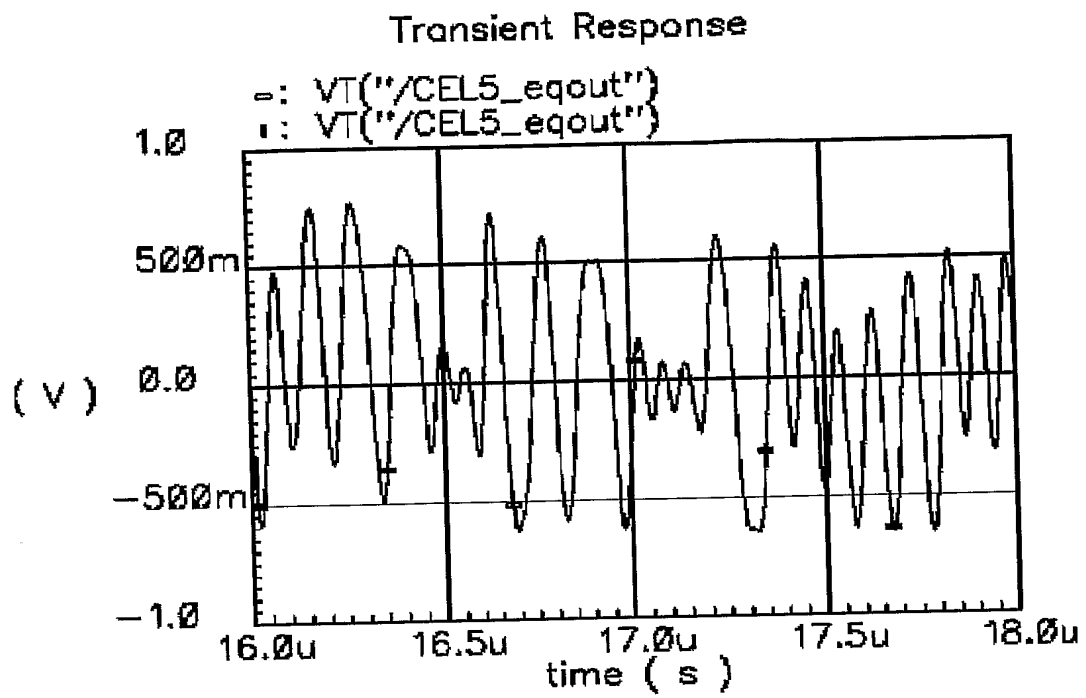
Y_n	Y_{n+1}	UP	DOWN
A	A	0	0
A	B	0	1
A	C	1	0
B	A	1	0
B	B	0	0
B	C	0	1
C	A	0	1
C	B	1	0
C	C	0	0

【図 5】

25

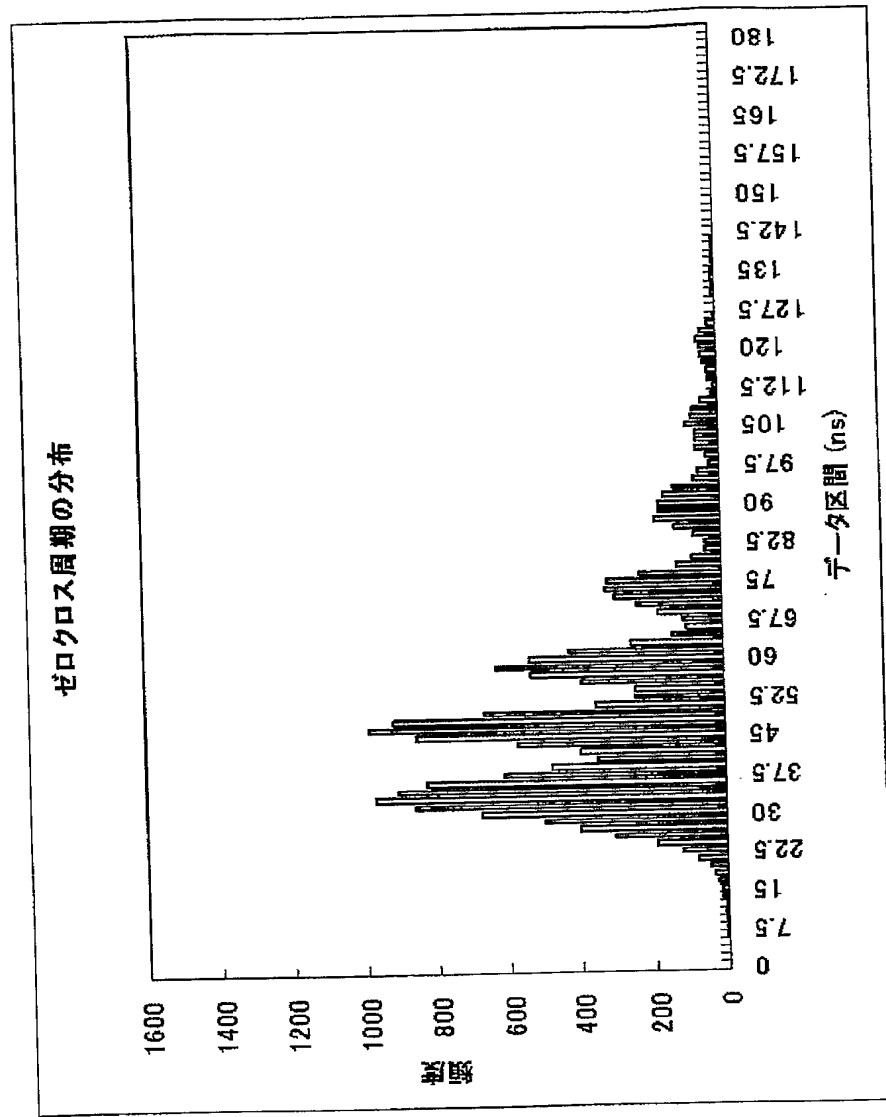


【図 6】



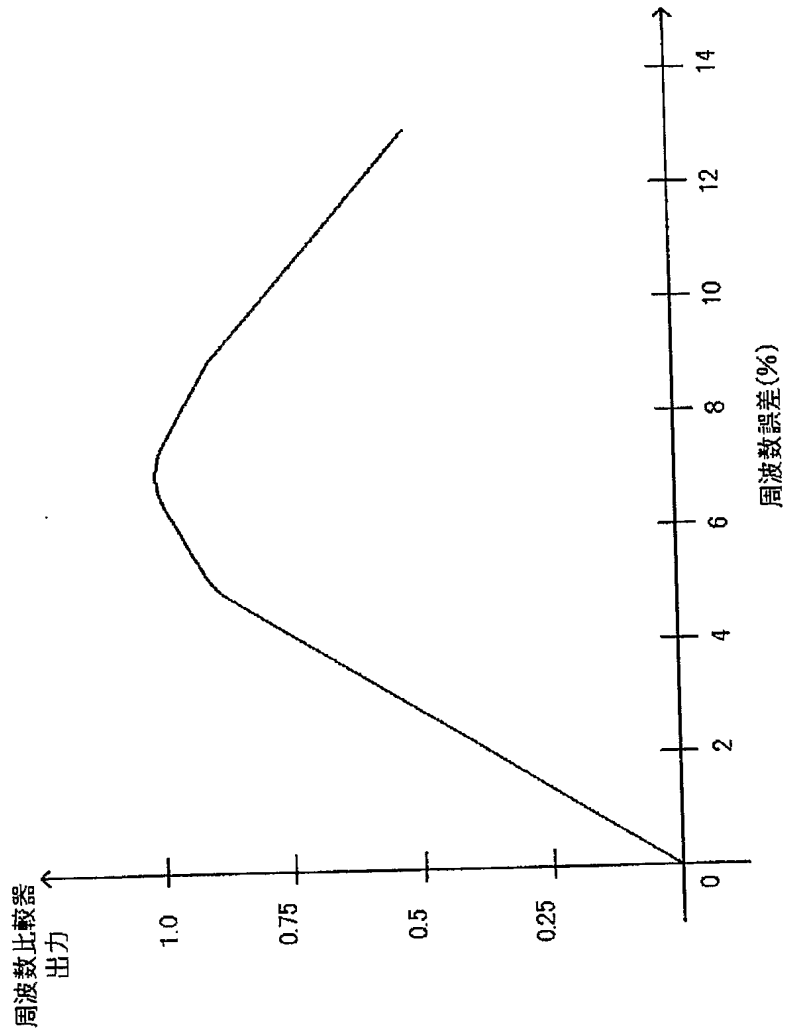
【図 7】

ゼロクロス分布の例



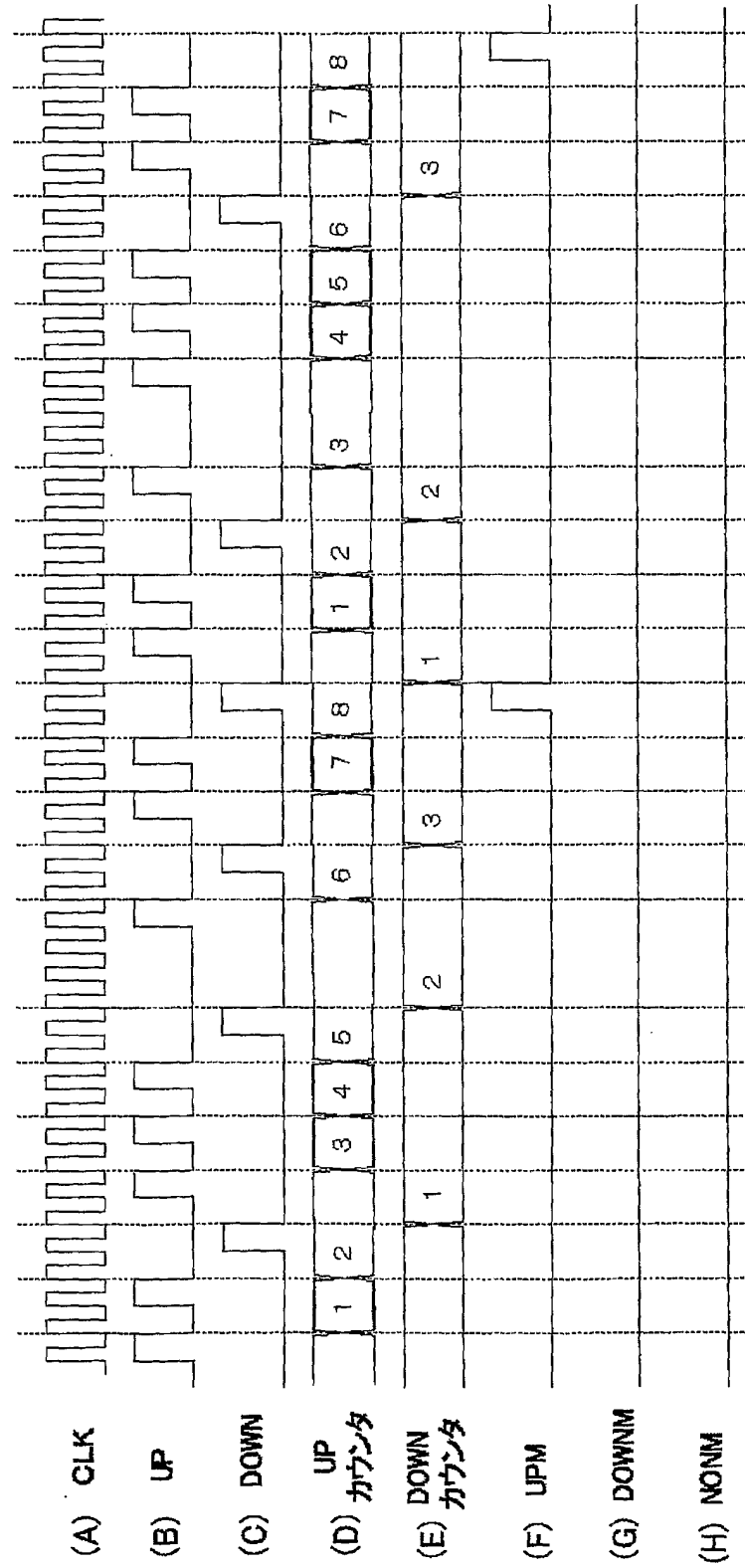
【図 8】

BD ROMの場合(理論値)



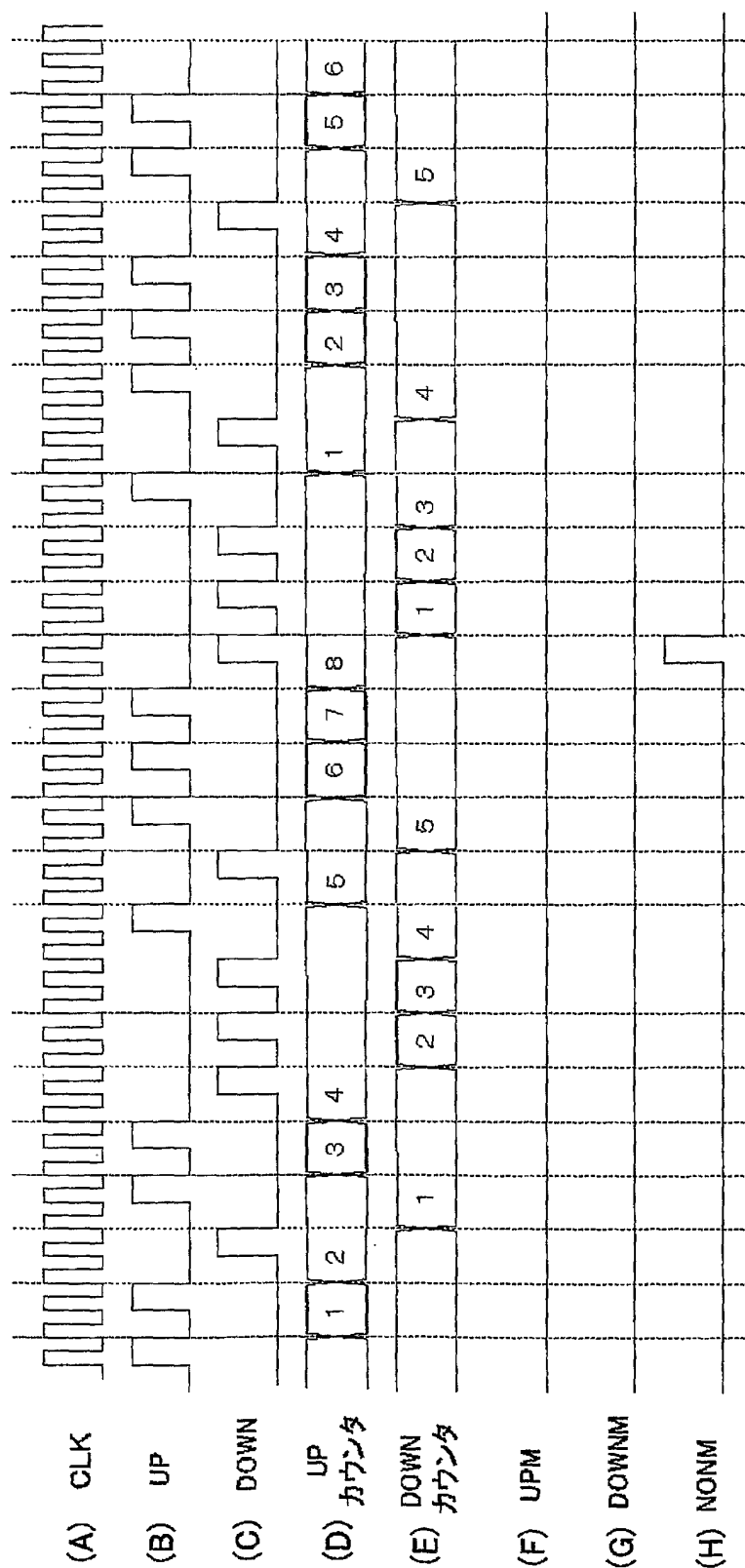
【図 9】

(積分設定値=8、判定閾値=4、UPMが出力される場合)



【図 10】

(積分設定値=8、判定閾値=4、NONMが出力される場合)

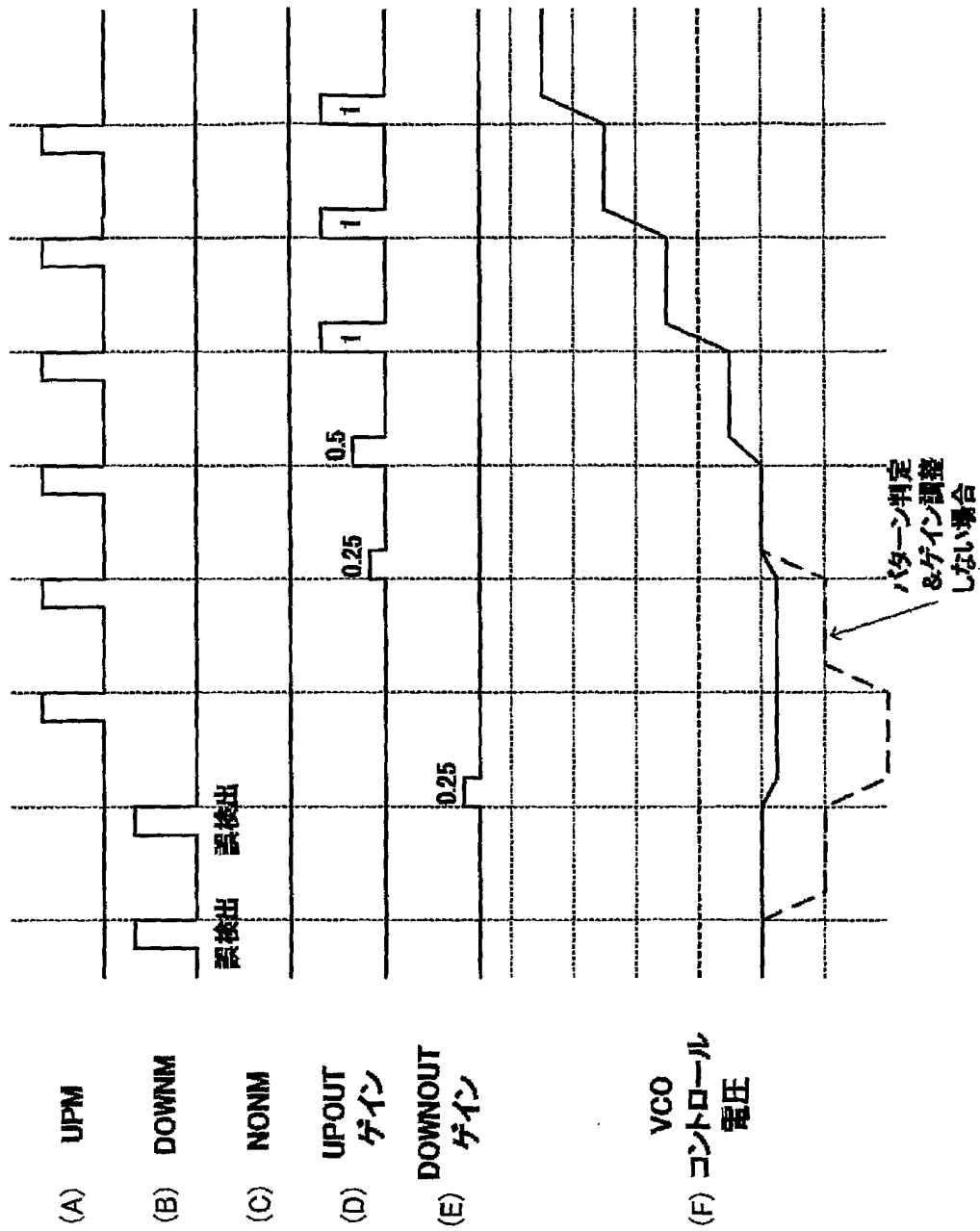


【図 11】

出力		現在の エンベータ出力	1個前の エンベータ出力	2個前の エンベータ出力	3個前の エンベータ出力
出力	ゲイン (バース幅)				
なし	0	UPM	UPM以外	UPM以外	UPM以外
UPOUT	0.25(1T)				
UPOUT	0.25(1T)		UPM	UPM	UPM
UPOUT	0.5(2T)				
UPOUT	1(4T)				
なし	0	DOWNM	DOWNM以外	DOWNM以外	DOWNM以外
DOWNOUT	0.25(1T)				
DOWNOUT	0.25(1T)		DOWNM	DOWNM	DOWNM
DOWNOUT	0.5(2T)				
DOWNOUT	1(4T)				
なし	0	NONM	ALL	ALL	ALL

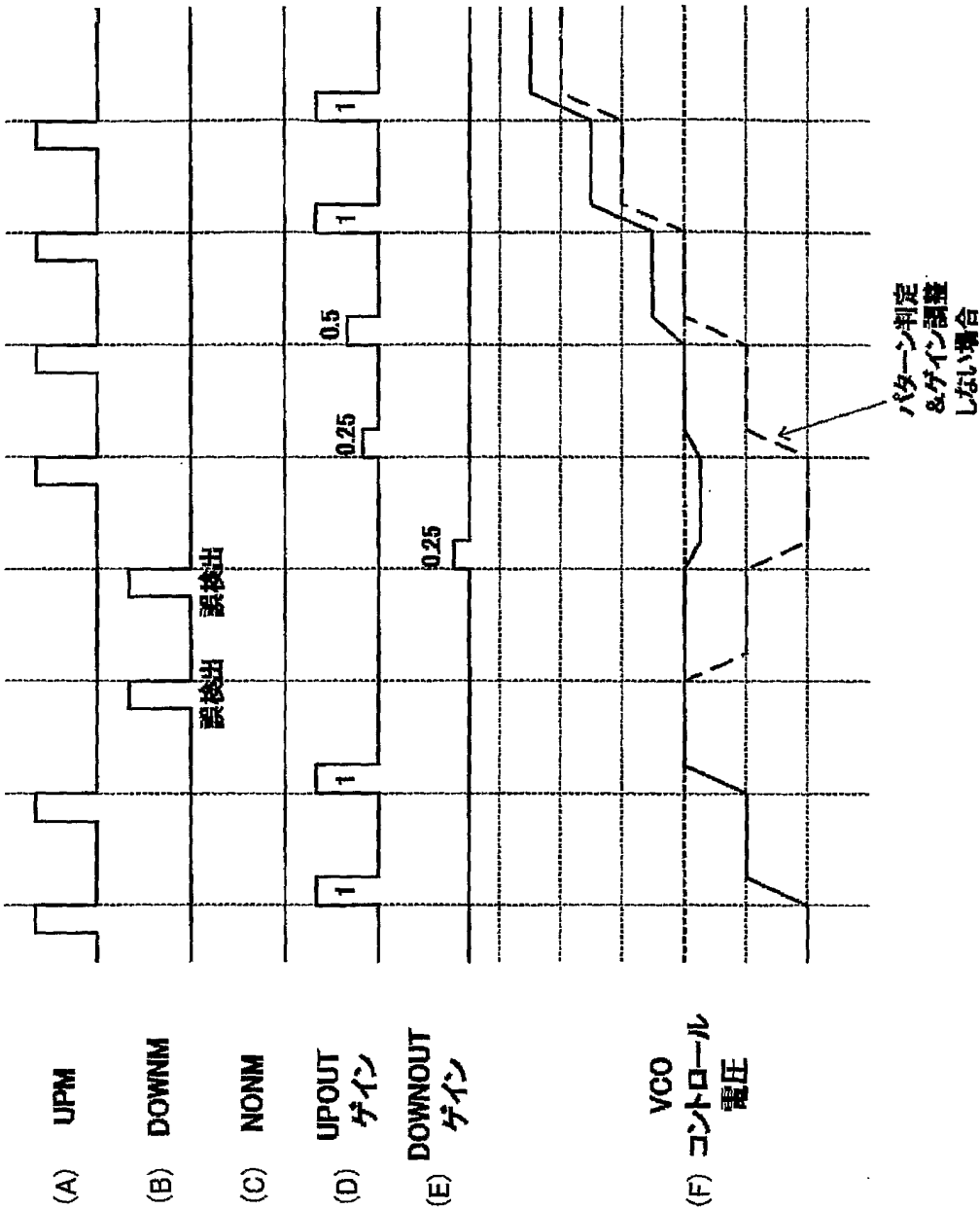
【図 12】

周波数引き込み初期の動作



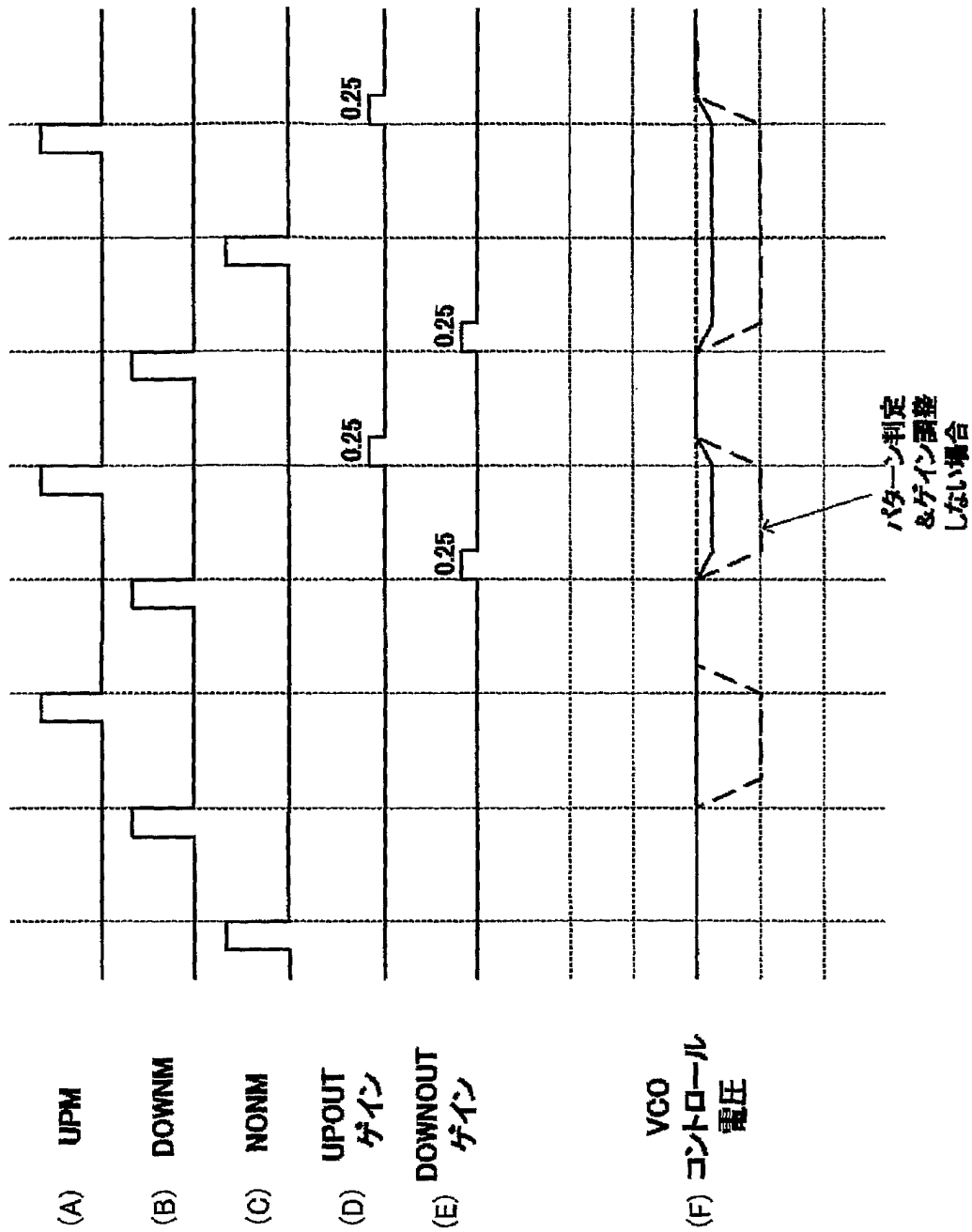
【図 13】

周波数引き込み中の動作



【図 14】

収束時の動作



【書類名】要約書

【要約】

【課題】周波数比較器の誤検出が発生しても、その影響を低減でき、安定かつ高速な周波数引き込みを実現することが可能なPLL回路および情報再生装置を提供する。

【解決手段】VCO23によるクロックCLKA～Cに同期してゼロクロス信号ZCを取り込み、クロックCLKAに同期してゼロクロスのエッジがどの位相からどの位相に変化したか観察することにより周波数の高低を周波数誤差として検出しアップ信号UP、ダウン信号DOWNを出力する周波数比較器25と、信号UPまたはDOWNを積分する積分回路26と、積分されたアップ信号UPまたはダウン信号DOWNを受けて、周波数誤差の向きを判定し、UPM, DOWNM, NONMの3信号を出力するコンパレータ27と、信号UPM、DOWNM、およびNONMの時系列のパターンから、信号を出力するか否かおよび帰還ゲインを決定して出力するゲイン調整回路28とを有する。

【選択図】 図1

特願 2 0 0 4 - 0 6 1 2 3 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社